

esp@cenet Family list view

Family list

1 family member for:

JP63167496

Derived from 1 application.

- 1 **SEMICONDUCTOR MEMORY DEVICE**
Publication Info: **JP63167496 A** - 1988-07-11

Data supplied from the esp@cenet database - Worldwide

esp@cenet document view

SEMICONDUCTOR MEMORY DEVICE

Patent number: JP63167496
Publication date: 1988-07-11
Inventor: NANBU HIROAKI; YAMAGUCHI KUNIHICO; KANETANI
KAZUO; OHATA KENICHI
Applicant: HITACHI LTD.; HITACHI DEVICE ENG
Classification:
- international: G11C8/00; G11C11/34; H01L27/10
- european:
Application number: JP19860313129 19861229
Priority number(s): JP19860313129 19861229

Report a data error here

Abstract of JP63167496

PURPOSE: To magnify the action margin of a memory cell by setting a counter generating address input data to a counter generating the Gray codes of specified bits. **CONSTITUTION:** In a memory RAM having m-piece (four pieces in this figure) address input terminals A1-A4, and the counter CNTR generating address input data of (n) bits (four bits in this figure) which are inputted to the terminals, the CNTR is set to the counter generating the Gray code of (n) bits (four in this figure). The CNTR consists of JK flip-flops FF1-FF4 and exclusive OR gates G1-G3, and it is synchronized with clock signals CLK so as to sequentially output the Gray codes of four bits to O1-O4. Generally, (m) is a positive integer, and (n) is to a positive integer which satisfies $n \leq m$. Thus, the action margin of the memory cell can be magnified.

Data supplied from the esp@cenet database - Worldwide

引用文献 ↑

⑬ 日本国特許庁 (J P)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭63-167496

⑮ Int. Cl.

識別記号

庁内整理番号

⑰ 公開 昭和63年(1988)7月11日

G 11 C 11/34

8/00

3 1 1

J-8522-5B

Z-7341-5B

8624-5F

審査請求 未請求 発明の数 1 (全5頁)

H 01 L 27/10

4 8 1

⑱ 発明の名称 半導体メモリ装置

⑲ 特 願 昭61-313129

⑳ 出 願 昭61(1986)12月29日

㉑ 発 明 者 南 部 博 昭 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 山 口 邦 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 発 明 者 金 谷 一 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉔ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉕ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

㉖ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

1. m (mは正の整数)個のアドレス入力端子を有するメモリと、上記端子に入力するn (nは $n \leq m$ を満たす正の整数)ビットのアドレス入力データを発生するカウンタとを有する半導体メモリ装置において、上記カウンタは、nビットのグレイコードを発生するカウンタであることを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体メモリ装置に係り、特に、アドレス・スキャンを無くし、かつメモリの低消費電力化に好適な、アドレス・カウンタを有する半導体メモリ装置に関する。

【従来の技術】

従来、メモリシステムにおいて、信号配線の長さの差等による複数ビットのアドレス入力データ

の伝達遅延時間のばらつき (アドレス・スキャン) に対策するため、第5図に示したようにメモリ (RAM) のアドレス・バッファ (AB) の直前にアドレス・ラッチ回路 (AL) を挿入したり、特開昭58-222486号に記載のようにアドレス・バッファ自身にラッチ機能を持たせたりしている。以下、上記アドレス・ラッチ回路の効果を第5図で説明する。第5図で、カウンタ (CNTR) はJKフリップ・フロップ (FF1~FF4) で構成されており、クロック信号 (CLK1) に同期して、アドレス入力データを順次出力する。第6図に、上記出力データQ1~Q4のタイミング・チャートを示す。ここで、出力データQ1~Q4は、時刻t8で、同時に切り換わっていることがわかる。しかし、出力データQ1~Q4は長さの異なる信号配線L1~L4を伝送するため、実際、信号A1~A4には、伝達遅延時間のばらつきによる、タイミングのずれが生じる。そのため、アドレス・ラッチ回路 (AL) を挿入し、信号A1~A4をクロック信号 (CLK2) で同期

特開昭63-167498 (2)

させ、メモリ(RAM)に入力するアドレス入力データA1'~A4'の入力タイミングを描えている。しかし、上記従来技術においては、上記ラッチ回路でアドレス入力データのタイミングを描えた後に生じるアドレス・パツファ(AB)、デコード(DEC)、ドライバ(DR)の遅延時間の差による、メモリセル(MC)の駆動タイミングのずれについては配慮されていなかった。

【発明が解決しようとする問題点】

上記従来技術は、アドレス・ラッチ回路でアドレス入力データのタイミングを描えた後に生じる複数のあるアドレス・パツファ、デコード、ドライバの遅延時間の差によるスキューについては配慮されておらず、このスキューによるメモリセルの駆動タイミングのずれが、メモリセルの動作マージンを減少させるという問題があった。

本発明の目的は、上記スキューの問題を無くし、メモリセルの動作マージンを拡大する手段を提供することにある。

【問題点を解決するための手段】

著しく拡大できる。また、アドレス入力データを順次カウント・アップする時、あるタイミングで切り換わるアドレス・パツファが常に1個であるため、アドレス・パツファの切り換わり時に消費される電力が常に1個分で済み、その分メモリの低消費電力化にもなる。

【実施例】

第1図は、本発明の第1の実施例を示す図であり、4個のアドレス入力端子(A1~A4)を有するメモリ(RAM)と、上記端子に入力する4ビットのアドレス入力データを発生するカウンタ(CNTR)とを有する半導体メモリ装置において、上記カウンタ(CNTR)を、4ビットのグレイコードを発生するカウンタにしている。このカウンタ(CNTR)はJKフリップ・フロップ(FF1~FF4)及びエクスクルシブ(Exclusive)-オア(OR)ゲート(G1~G3)で構成されており、クロック信号(CLK)に同期して、4ビットのグレイコードを順次01~04に出力する。

第2図に上記JKフリップ・フロップFF1~

上記目的は、 m (m は正の整数)個のアドレス入力端子を有するメモリと、上記端子に入力する n (n は $n \leq m$ を満たす正の整数)ビットのアドレス入力データを発生するカウンタとを有する半導体メモリ装置において、上記カウンタを、 n ビットのグレイコードを発生するカウンタにすることにより達成される。

【作用】

上記手段は、アドレス入力データを発生するカウンタをグレイコードを発生するカウンタにしている。このため、このカウンタが順次発生するアドレス入力データのハミング距離は常に1となり、あるタイミングで切り換わるアドレス・パツファは常に1個となる。このため、複数のあるアドレス・パツファ、デコード、ドライバの遅延時間の差があつても、あるタイミングで切り換わるアドレス・パツファ、デコード、ドライバが常に1組であるため、メモリセルの駆動タイミングがずれということとは起り得ない。すなわち、スキューが生じないため、メモリセルの動作マージンを

FF4の出力Q1~Q4と、カウンタCNTRの出力データ01~04のタイミング・チャートを示す。ここで、カウンタ(CNTR)は、4ビットのグレイコードを発生するカウンタであるため、出力データ01~04は決して同時に切り換わつておらず、あるタイミングで切り換わる出力データ01~04は常に1個であることがわかる。よつて、データ01~04が伝達する信号配線L1~L4の長さが異なつていても、また、アドレス・パツファ(AB)、デコード(DEC)、ドライバ(DR)の遅延時間の差があつても、あるタイミングで切り換わるアドレス・パツファ(AB)、デコード(DEC)、ドライバ(DR)が常に1組であるため、メモリセル(MC)の駆動タイミングがずれないということとは起り得ない。すなわち、スキューが生じないため、メモリセルの動作マージンを著しく拡大できる。また、アドレス入力データを順次カウント・アップする時、あるタイミングで切り換わるアドレス・パツファが常に1個であるため、アドレス・パツファの切り換わ

特開昭63-167496(3)

り時に消費される電力が常に1個分ですみ、その分メモリの低消費電力化になつてゐる。

第3図は、本発明の第2の実施例を示す図であり、第1図に示した第1の実施例と同様に、4個のアドレス入力端子(A1~A4)を有するメモリ(RAM)と、上記端子に入力する4ビットのアドレス入力データを発生するカウンタ(CNTR)とを有する半導体メモリ装置において、上記カウンタ(CNTR)を、4ビットのグレイコードを発生するカウンタにしている。ここで、第1図に示した、第1の実施例と異なるのは、カウンタ(CNTR)をJKフリップ・フロップ(FF1~FF4)及びDフリップ・フロップ(FF5~FF13)で構成している点のみであり、クロック信号(CLK)に同期して、4ビットのグレイコードを順次出力する点は全く同様である。

第4図に、上記JKフリップ・フロップFF1~FF4の出力Q1~Q4と、カウンタCNTRの出力データQ2、Q7、Q8、Q13のタイミング・チャートを示す。ここで、出力データQ2、

Q7、Q8、Q13は決して同時に切り換つておらず、以下、第1図に示した、第1の実施例と同様の結論が成立する。よつて、本実施例においても、メモリの動作マージンを著しく拡大できる。また、アドレス・バッファの切り換わり時に消費される電力が常に1個分ですみ、その分メモリの低消費電力化になる。

〔発明の効果〕

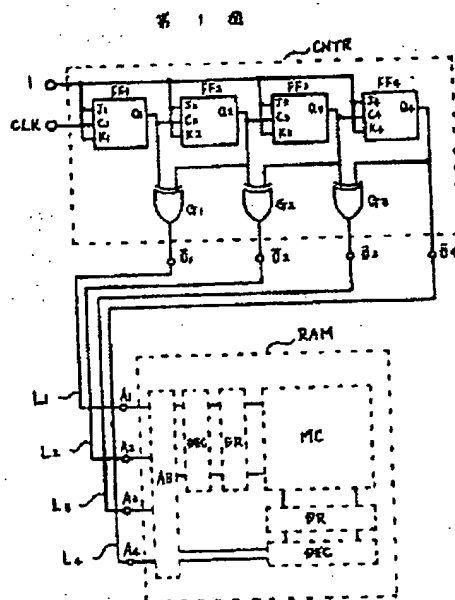
以上述べてきたように、本発明によれば、アドレス入力データが伝達する信号配線の長さが異なつていても、また、アドレス・バッファ、デコーダ、ドライバの遅延時間に差があつても、あるタイミングで切り換わるアドレス・バッファ、デコーダ、ドライバが常に1組であるため、メモリの駆動タイミングのずれ、すなわちスキューが全く生じない。よつて、メモリの動作マージンを著しく拡大できる。また、アドレス入力データを順次カウント・アップする時、あるタイミングで切り換わるアドレス・バッファが常に1個であるため、アドレス・バッファの切り換わり時に

消費される電力が常に1個分ですみ、その分メモリの低消費電力化が図れる。

4. 図面の簡単な説明

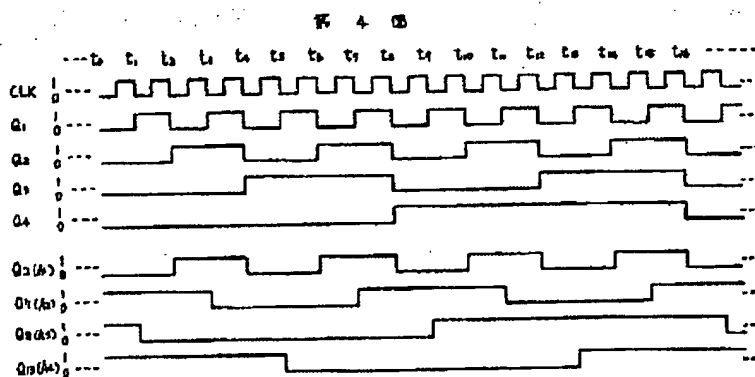
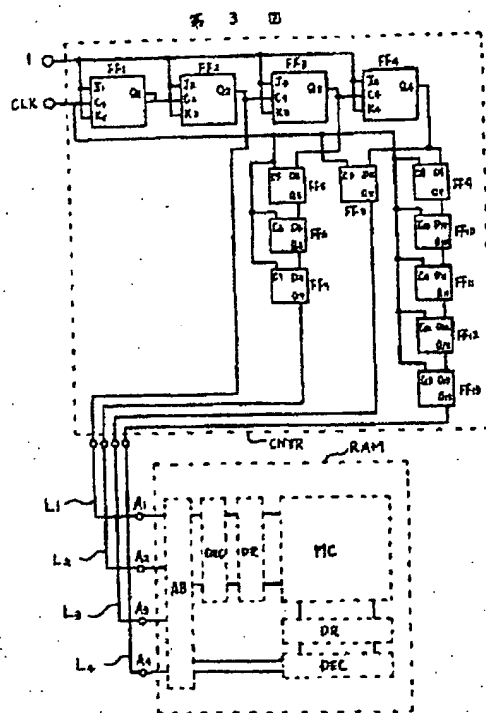
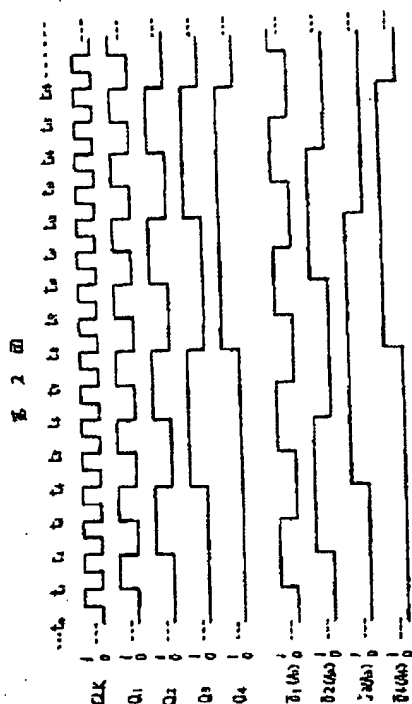
第1図は本発明の第1の実施例を示す論理図、第2図は本発明の第1の実施例のタイミング・チャート図、第3図は本発明の第2の実施例を示す論理図、第4図は本発明の第2の実施例のタイミング・チャート図、第5図は従来例を示す論理図、第6図は従来例のタイミング・チャート図である。RAM…メモリ、CNTR…カウンタ、AL…アドレス・ラッチ回路、AB…アドレス・バッファ、DEC…デコーダ、DR…ドライバ、MC…メモリセル、FF1~FF4…JKフリップ・フロップ、Q1~Q3…Exclusive-ORゲート、FF5~FF13…Dフリップ・フロップ。

代理人 弁護士 小川勝男

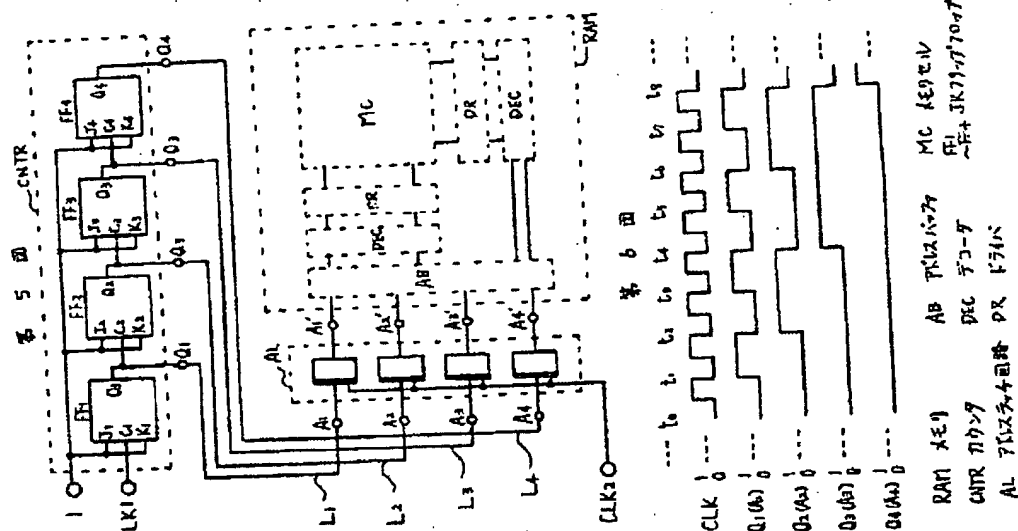


RAM (メモリ) DEC デコーダ FF1~FF4 JKフリップ・フロップ
CNTR カウンタ DR ドライバ Q1~Q13 Exclusive-ORゲート
AB アドレスバッファ MC メモリセル

特開昭63-167496(4)



特開昭63-167496(5)



第1頁の続き

發明者 大 畠

—

千葉県茂原市早野3681番地 日立デバイスエンジニアリン
グ株式会社内

特開昭63-167496

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成6年(1994)8月12日

【公開番号】特開昭63-167496
 【公開日】昭和63年(1988)7月11日
 【年通号数】公開特許公報63-1675
 【出願番号】特願昭61-313129
 【国際特許分類第5版】

G11C 11/413
 11/408

【F1】

G11C 11/34 301 A 6741-5L
 341 A 6741-5L
 354 B 6741-5L

手続補正書

平成 6年12月24日

特許庁長官 殿
 1. 事件の表示 昭和61年特許願第313129号
 2. 発明の名称 半導体メモリ装置
 3. 補正をする者
 事件との関係 特許出願人
 住 所 東京都千代田区神田区河合町丁目6番地
 名 称 (510) 株式会社 日立 製作 所
 住 所 千葉県茂原市早野3681番地
 名 称 日立デバイスエンジニアリング株式会社
 4. 代理人
 居 所 〒185 東京都国分寺市本町四丁目3番18号
 サンクレストビル4階 (電話 0423-22-7322)
 氏 名 (723) 弁護士 藤 田 利 幸
 5. 補正により増加する発明の数 0
 6. 補正の対象 明細書の「特許請求の範囲」の欄および「発明
 の詳細な説明」の欄。

7. 補正の内容

1. 本願明細書特許請求の範囲の欄を前記のように補正する。
2. 同上書第1頁第19行「従来、メモリシステムにおいて、」を「従来の半導体メモリ装置においては、」に補正する。
3. 同上書第2頁第2行「に対策する」を「の問題を解決する」に補正する。
4. 同上書第2頁第7行～第11行「以下、上記アドレス………入力データを順次出力する。」を「第5図において、カウンタ(CNTR)は複数のJ-Kフリップ・フロップ(FF1～FF4)から構成され、クロック信号(CLK)に同期して、出力データQ1～Q4が順次出力される。」に補正する。
5. 同上書第2頁第18行～第15行「ここで、出力データQ1………いることがわかる。」を「第6図から明らかなように、上記出力データQ1～Q4は、時間t8において同時に切り

-補 1-

特開昭63-167496

換わる。」に補正する。

6. 同上書第2頁第17行「実際。」を「実際には。」に補正する。
7. 同上書第2頁第20行～第3頁第1行「同様に。」を「同様にすることによって。」に補正する。
8. 同上書第3頁第3行～第4行「上記ラッチ回路で」を「上記アドレス・ラッチ回路によって」に補正する。
9. 同上書第3頁第12行「複数個ある」を「複数個の」に補正する。
10. 同上書第3頁第18行「拡大する手段」を「拡大することのできる半導体メモリ装置」に補正する。
11. 同上書第4頁第9行～第11行「上記手段は、アドレス入力……カウンタにしている。このため。」を「アドレス入力データを発生するカウンタが、グレイコードを発生するカウンタであるため。」に補正する。
12. 同上書第4頁第14行「複数個ある」を「複数個の」に補正する。

18. 同上書第9頁第2行「低消費電力化が図れる。」を「消費電力が低減される。」に補正する。

以上

個の」に補正する。

13. 同上書第5頁第5行～第6行「その分メモリの低消費電力化にもなる。」を「メモリの消費電力はそれだけ低減される。」に補正する。
14. 同上書第5頁第13行～第14行「上記カウンタ(CNTR)を、4ビットのグレイコードを発生するカウンタにしている。」を「上記カウンタ(CNTR)として、4ビットのグレイコードを発生するカウンタが用いられている。」に補正する。
15. 同上書第7頁第2行「メモリの低消費電力化になっている。」を「メモリの消費電力が低減される。」に補正する。
16. 同上書第7頁第8行～第10行「上記カウンタ(CNTR)を……カウンタにしている。」を「上記カウンタ(CNTR)として、4ビットのグレイコードを発生するカウンタが用いられている。」に補正する。
17. 同上書第8頁第3行「同様の構造が成立する。」を「同様により。」に補正する。

別紙

特許請求の範囲

1. m 個 (m は正の整数) の入力端子を有するメモリと、上記入力端子に入力する n ビット (n は $n \geq m$ を満たす正の整数) のアドレス入力データを発生するカウンタを内蔵し、当該カウンタは、 n ビットのグレイコードを発生するカウンタであることを特徴とする半導体メモリ装置。
2. 上記カウンタは、JKフリップ・フロップを具備していることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。
3. 上記カウンタは、JKフリップ・フロップおよびDフリップ・フロップを具備していることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。
4. 上記カウンタは、エクスクルーシブ・オア・ゲートを具備していることを特徴とする特許請求の範囲第1項から第3項のいずれかに記載の半導体メモリ装置。

代理人 弁護士 岡田 利 中